

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

**Defective images within this document are accurate representation of
The original documents submitted by the applicant.**

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PAT-NO: JP409022395A

DOCUMENT-IDENTIFIER: JP 09022395 A

TITLE: SCSI BUS REPEATER

PUBN-DATE: January 21, 1997

INVENTOR-INFORMATION:

NAME

MURAI, TOSHIHARU

ASSIGNEE-INFORMATION:

NAME

RICOH CO LTD

COUNTRY

N/A

APPL-NO: JP07169431

APPL-DATE: July 5, 1995

INT-CL (IPC): G06F013/36

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent reset from being erroneously performed by judging that RST signals received from a relay transmission line are not normal signals when a detected signal width is shorter than a prescribed width and interrupting them.

SOLUTION: The RST signals 1 composed of optical signals from a repeating transmission line are received and transduced into electric signals 2 by an optic/ electric transducer (O/E transducer) 21 and inputted to a signal width detection circuit 22 and OR gates OR1 and OR2. The signal width detection circuit 22 constitutes a signal width detection means, measures the signal width (the time of H) of the output signals 2 of the optic/electric transducer 21, and at the time of detecting that the signal width of the signals 2 is more than a prescribed width, affirms the output signals 10 (turns them H). When the signals 2 are less than the prescribed width, the signal width detection circuit 22 keeps the output signals 10 'L' as they are and the signals 2 are interrupted in a bus driver DR and not outputted onto an SCSI bus. Thus, communication between devices is prevented from being erroneously reset.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-22395

(43)公開日 平成9年(1997)1月21日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/36	3 2 0	9172-5E	G 0 6 F 13/36	3 2 0 A

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21)出願番号 特願平7-169431

(22)出願日 平成7年(1995)7月5日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 村井 俊晴

東京都大田区中馬込1丁目3番6号・株式会社リコー内

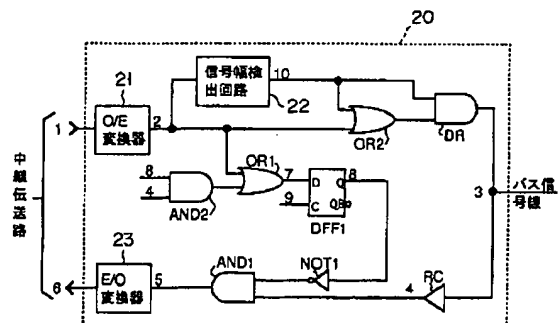
(74)代理人 弁理士 樺山 亨 (外1名)

(54)【発明の名称】 SCS Iバス中継装置

(57)【要約】

【課題】この発明は、中継伝送路からの信号受信経路にノイズがのった場合それがSCS Iバス側へ出力され、また、高価で消費電力の大きな素子を使用しなければならないという課題を解決することを目的とする。

【解決手段】 この発明は、SCS Iバスと中継伝送路との間で信号伝送を制御するSCS Iバス中継装置において、中継伝送路からのRST信号の信号幅を検出する手段22と、この手段22で検出した信号幅が所定幅より短かった場合に中継伝送路からのRST信号が正規の信号ではないと判断して中継伝送路からのRST信号のSCS Iバスへの伝送を遮断する手段DRとを備えたものである。



【特許請求の範囲】

【請求項1】SCSIバスと中継伝送路との間で信号伝送を制御するSCSIバス中継装置において、前記中継伝送路から受信したRST信号の信号幅を検出する信号幅検出手段と、この信号幅検出手段で検出した信号幅が所定幅より短かった場合には前記中継伝送路から受信したRST信号が正規の信号ではないと判断して前記中継伝送路から受信したRST信号の前記SCSIバスへの伝送を遮断する信号伝送制御手段とを備えたことを特徴とするSCSIバス中継装置。

【請求項2】請求項1記載のSCSIバス中継装置において、前記信号幅検出手段で検出した信号幅が前記所定幅以上であった場合には前記中継伝送路から受信したRST信号を前記信号幅検出手段による信号幅検出の間に遮断された分補償して前記SCSIバスへ出力させる信号幅補償手段を備えたことを特徴とするSCSIバス中継装置。

【請求項3】SCSIバスと中継伝送路との間に設けられ、前記中継伝送路を通して伝送される過程で生じたデータ信号と同期信号との間のスキューを補正するべくデータ信号は同期信号で一度同期を取り直して同期信号は所定時間だけ遅らせ、前記中継伝送路から連続して受信される同期信号に対して最初の同期信号については周波数精度の保証された第1のクロックを用いて計測した時間を、同期信号の受信に同期して発振を開始する第2のクロックで認識することにより前記所定時間を設定し、該所定時間を記憶し、2番目以降の同期信号については前記記憶した時間を前記第2のクロックを用いて再生して前記所定時間として設定するSCSIバス中継装置において、前記第1のクロックとして位相の異なる複数のクロックを各々用いて前記中継伝送路からの同期信号の前記SCSIバス側への出力開始のためのタイミング計測を独立に行ってこれらのタイミング計測結果の論理和をとり、この論理和を前記第2のクロックにより認識することによって前記中継伝送路からの同期信号の前記SCSIバス側への出力開始のタイミングを設定する設定手段を備えたことを特徴とするSCSIバス中継装置。

【請求項4】SCSIバスと中継伝送路との間に設けられ、前記中継伝送路を通して伝送される過程で生じたデータ信号と同期信号との間のスキューを補正するべくデータ信号は同期信号で一度同期を取り直して同期信号は所定時間だけ遅らせるSCSIバス中継装置において、前記中継伝送路から連続して受信される同期信号を前記SCSIバス側へ出力するタイミングとして、最初の同期信号については周波数精度の保証された第1のクロックを用いて計測してこのタイミング計測結果を、同期信号の受信に同期して発振を開始する第2のクロックとしての位相の異なる複数のクロックによりそれぞれ認識し、これらの認識したタイミング計測結果のうち最も早いタイミングを設定し、このタイミングを記憶し、2番

目以降の同期信号については前記記憶したタイミングを再生して設定する設定手段を備えたことを特徴とするSCSIバス中継装置。

【請求項5】SCSIバスと中継伝送路との間に設けられ、前記中継伝送路を通して伝送される過程で生じたデータ信号と同期信号との間のスキューを補正するべくデータ信号は同期信号で一度同期を取り直して同期信号は所定時間だけ遅らせるSCSIバス中継装置において、前記中継伝送路から連続して受信される同期信号を前記SCSIバス側へ出力するタイミングとして、最初の同期信号については周波数精度の保証された第1のクロックとして位相の異なる複数のクロックを各々用いて独立に計測してこれらのタイミング計測結果の論理和をとり、この論理和を、同期信号の受信に同期して発振を開始する第2のクロックとしての位相の異なる複数のクロックによりそれぞれ認識し、これらの認識したタイミング計測結果のうち最も早いタイミングを設定し、このタイミングを記憶し、2番目以降の同期信号については前記記憶したタイミングを再生して設定する設定手段を備えたことを特徴とするSCSIバス中継装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はSCSIバスと中継伝送路との間に設けられるSCSIバス中継装置に関する。

【0002】

【従来の技術】異なるSCSIバスに接続された複数のデバイス間で通信を行うための中継装置としては、特開平4-10150号公報乃至特開平4-10152号公報に記載されているものがあり、これらの中継装置は一方のSCSIバスからの信号を他方のSCSIバスに伝送するための技術である。特開平4-10150号公報記載の中継装置は、各バスのレベルを判断し、駆動されていない側のバスを駆動することにより信号を伝達しようとするものである。

【0003】特開平4-10151号公報記載の中継装置は、複数のデバイスによって途切れることなく切り換わって駆動される信号、すなわち、BSY信号についての伝送技術であり、バスのレベルを判断しながら信号を伝送する。特開平4-10152号公報記載の中継装置は、情報伝送フェーズについてはI/O信号をみれば転送方向がわかるので、この場合はバスのレベル判断等を行わずに、その分高速にデータ転送を行うものである。

【0004】また、中継伝送路を介して遠隔のSCSIバス同士を接続するための中継装置において、RST信号が中継伝送路から受信された場合これをそのままSCSIバスに伝送するようにしたもの①が提案されている。また、中継伝送路を介して遠隔のSCSIバス同士を接続するためのSCSIバス中継装置において、中継伝送路を通して伝送される過程で生じたデータ信号と同

期信号との間のスキューを補正するために、データ信号は同期信号で一度同期を取り直して出力し、同期信号は所定時間Tdだけ遅らせるようにしたもの②が提案されている。

【0005】この中継装置②において、Tdの設定については、中継伝送路から連続して受信される同期信号に対して最初の信号については周波数精度の保証された第1のクロックを用いて測定した時間を、同期信号の受信に同期して発振を開始する第2のクロックで認識することによりTdを設定し、そのタイミングを記憶し、2番

目以降の信号に対しては第2のクロックを用いて上記記憶したタイミングを再生してTdを設定する。

【0006】
【発明が解決しようとする課題】上記中継装置①では、RST信号が中継伝送路から受信された場合これをそのままSCSIバスに伝送するので、中継伝送路からの信号受信経路にノイズがのった場合、それがSCSIバス側へ出力されてデバイス間の通信が誤ってリセットされることがある。

【0007】また、上記中継装置②では、所望のTdと実際に設定されるTdとの間には、まず第1のクロックにより時間を測定する際に第1のクロックの1周期分の誤差を生じ、さらに第1のクロックによる測定結果を第2のクロックで認識する際にも第1のクロックの1周期分の誤差を生ずる可能性がある。しかるに、Tdは55ns以上、70ns以下という高精度な値に設定しなければならない。これを達成するためには、例えば所望のTdの値を55nsとして第1のクロックと第2のクロックのどちらか一方のクロックが1周期7.5ns以下(周波数133MHz以上)である必要がある。ただし、これは最も簡素化して考えた場合であり、使用する素子の温度特性等を考慮すると、実際にはさらに高周波のクロックが要求される。したがって、回路を構成する素子としては、それに見合った高速動作の可能なものを使用しなければならなくなるが、一般にはこのような素子は、高価であり、かつ、消費電力が大きい。

【0008】本発明は、中継伝送路からの信号受信経路にノイズがのった場合でもそれがSCSIバス側へ出力されてデバイス間の通信が誤ってリセットされることを防止でき、コストを抑えて信頼性を向上させることができるSCSIバス中継装置を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するため、請求項1記載の発明は、SCSIバスと中継伝送路との間で信号伝送を制御するSCSIバス中継装置において、前記中継伝送路から受信したRST信号の信号幅を検出する信号幅検出手段と、この信号幅検出手段で検出した信号幅が所定幅より短かった場合には前記中継伝送路から受信したRST信号が正規の信号ではないと判

断して前記中継伝送路から受信したRST信号の前記SCSIバスへの伝送を遮断する信号伝送制御手段とを備えたものである。

【0010】請求項2記載の発明は、請求項1記載のSCSIバス中継装置において、前記信号幅検出手段で検出した信号幅が前記所定幅以上であった場合には前記中継伝送路から受信したRST信号を前記信号幅検出手段による信号幅検出の間に遮断された分補償して前記SCSIバスへ出力させる信号幅補償手段を備えたものである。

【0011】請求項3記載の発明は、SCSIバスと中継伝送路との間に設けられ、前記中継伝送路を通して伝送される過程で生じたデータ信号と同期信号との間のスキューを補正するべくデータ信号は同期信号で一度同期を取り直して同期信号は所定時間だけ遅らせ、前記中継伝送路から連続して受信される同期信号に対して最初の同期信号については周波数精度の保証された第1のクロックを用いて計測した時間を、同期信号の受信に同期して発振を開始する第2のクロックで認識することにより前記所定時間を設定し、該所定時間を記憶し、2番目以降の同期信号については前記記憶した時間を前記第2のクロックを用いて再生して前記所定時間として設定するSCSIバス中継装置において、前記第1のクロックとして位相の異なる複数のクロックを各々用いて前記中継伝送路からの同期信号の前記SCSIバス側への出力開始のためのタイミング計測を独立に行ってこれらのタイミング計測結果の論理和をとり、この論理和を前記第2のクロックにより認識することによって前記中継伝送路からの同期信号の前記SCSIバス側への出力開始のタイミングを設定する設定手段を備えたものである。

【0012】請求項4記載の発明は、SCSIバスと中継伝送路との間に設けられ、前記中継伝送路を通して伝送される過程で生じたデータ信号と同期信号との間のスキューを補正するべくデータ信号は同期信号で一度同期を取り直して同期信号は所定時間だけ遅らせるSCSIバス中継装置において、前記中継伝送路から連続して受信される同期信号を前記SCSIバス側へ出力するタイミングとして、最初の同期信号については周波数精度の保証された第1のクロックを用いて計測してこのタイミング計測結果を、同期信号の受信に同期して発振を開始する第2のクロックとしての位相の異なる複数のクロックによりそれぞれ認識し、これらの認識したタイミング計測結果のうち最も早いタイミングを設定し、このタイミングを記憶し、2番目以降の同期信号については前記記憶したタイミングを再生して設定する設定手段を備えたものである。

【0013】請求項5記載の発明は、SCSIバスと中継伝送路との間に設けられ、前記中継伝送路を通して伝送される過程で生じたデータ信号と同期信号との間のスキューを補正するべくデータ信号は同期信号で一度同期

を取り直して同期信号は所定時間だけ遅らせるSCSIバス中継装置において、前記中継伝送路から連続して受信される同期信号を前記SCSIバス側へ出力するタイミングとして、最初の同期信号については周波数精度の保証された第1のクロックとして位相の異なる複数のクロックを各々用いて独立に計測してこれらのタイミング計測結果の論理和をとり、この論理和を、同期信号の受信に同期して発振を開始する第2のクロックとしての位相の異なる複数のクロックによりそれぞれ認識し、これらの認識したタイミング計測結果のうち最も早いタイミングを設定し、このタイミングを記憶し、2番目以降の同期信号については前記記憶したタイミングを再生して設定する設定手段を備えたものである。

【0014】

【発明の実施の形態】図1は請求項1、2記載の発明の一実施形態例の制御回路を示す。この実施形態例は、中継伝送路を介して遠隔のSCSIバス同士を接続するためのSCSI中継装置であってSCSIバスと中継伝送路との間に設けられ、SCSIバスと中継伝送路との間で信号伝送を制御する。ここに、中継伝送路は例えば全二重方式の並列光ファイバ（光バス）が用いられ、本実施形態例のSCSIバス中継装置は互いに接続するべき2つの半二重方式のSCSIバスと中継伝送路との各間に設けられる。SCSIバスにはそれぞれデバイスが接続される。

【0015】本実施形態例は、SCSIバスを構成する各信号線毎に図1に示すような制御回路20を設けたものであり、図1において1～10は各部の信号を表わす。なお、以後の説明において、信号はすべて特にことわりがない限り正論理（高レベル“H”のときの論理を真、すなわち“1”）とする。中継伝送路からの光信号からなるRST信号1は、光／電気変換器（O／E変換器）21により受信されて電気信号2に変換され、信号幅検出回路22及びオアゲートOR1、OR2に入力される。

【0016】信号幅検出回路22は、信号幅検出手段を構成して光／電気変換器21の出力信号2の信号幅（“H”の時間）を計測し、この信号2の信号幅が所定の幅以上であることを検出すると、出力信号10を肯定する（“H”とする）。また、信号幅検出回路22は、信号幅補償手段を兼ねており、出力信号10を肯定すると、RST信号1の受信を終了して信号2が低レベル“L”になってから一定の時間Trsdだけ遅れて出力信号10を“L”とする。ここに、Trsdは、信号2が“H”になってから出力信号10が“H”になるまでの時間とする。

【0017】信号幅検出回路22の出力信号10は信号伝送制御手段を兼ねたアンド型のバスドライバDRに入力され、バスドライバDRの出力信号がSCSIバス上に出力される。したがって、信号幅検出回路22の出力

信号10が“H”になることにより、信号2がバスドライバDRを通してSCSIバス上に出力される。

【0018】また、信号幅検出回路22の出力信号10がオアゲートOR2にも入力され、オア回路OR2の出力信号がバスドライバDRに入力される。したがって、信号2が“L”になってもSCSIバスへの信号出力はすぐには終了せず、信号2が“L”になってからTrsdだけ遅れてSCSIバスへの信号出力が終了する。これにより、信号2のSCSIバスへ伝送されなかった先頭部分が補償される。また、信号2が上記所定の幅以下である場合には、信号幅検出回路22が出力信号10を“L”のままとし、信号2がバスドライバDRで遮断されてSCSIバス上には出力されない。

【0019】また、オアゲートOR1の出力信号7はDフリップフロップDFF1に入力され、DフリップフロップDFF1は高周波クロック9によりオアゲートOR1の出力信号7をラッチする。DフリップフロップDFF1の出力信号8はノットゲートNOT1により反転されてアンドゲートAND1に入力される。また、SCSIバスからの信号はバスレシーバRCにより受信され、このバスレシーバRCの出力信号4はアンドゲートAND1に入力される。

【0020】また、DフリップフロップDFF1の出力信号8及びバスレシーバRCの出力信号4はアンドゲートAND2に入力され、このアンドゲートAND2の出力信号はオアゲートOR1に入力される。したがって、DフリップフロップDFF1は、光／電気変換器21の出力信号2が“H”になっているとき、DフリップフロップDFF1の出力信号8及びバスレシーバRCの出力信号4の両方が同時に“H”になっているときに出力信号8が“H”となる。バスレシーバRCの出力信号4は、DフリップフロップDFF1の出力信号8が“L”になっているときにノットゲートNOT1の出力信号によりアンドゲートAND1を通過し、電気／光変換器（E／O変換器）23により光信号に変換されて中継伝送路へ出力される。

【0021】図2は上記信号幅検出回路22の構成を示す。信号幅検出回路22は遅延回路24、アンドゲートAND3、AND4、オアゲートOR3及びDフリップフロップDFF2により構成され、遅延回路24は光／電気変換器21の出力信号2をTrsdだけ遅延させて出力信号11としてアンドゲートAND3、AND4に出力する。中継伝送路からRST信号を受信していなくて光／電気変換器21の出力信号2が“L”になっている状態においては、DフリップフロップDFF2の非反転出力端子QからアンドゲートAND3への出力信号が“L”になり、DフリップフロップDFF2の反転出力端子QBからアンドゲートAND4への出力信号が“H”になっている。

【0022】中継伝送路からRST信号を受信して光／

電気変換器21の出力信号2が“H”になると、それよりTrsdだけ遅れて遅延回路24の出力信号11が“H”になる。そうすると、アンドゲートAND4の出力信号が“H”になり、このアンドゲートAND4の出力信号はオアゲートOR3を通してDフリップフロップDFF2に入力される。ただし、光/電気変換器21の出力信号2の信号幅がTrsd以下であると、遅延回路24の出力信号11とDフリップフロップDFF2の反転出力端子QBからの出力信号とが同時に“H”になることはないから、アンドゲートAND4の出力信号が“H”になることはない。

【0023】DフリップフロップDFF2はオアゲートOR3からの入力信号を高周波クロック9によりラッチする。DフリップフロップDFF2は、オアゲートOR3からの入力信号が“H”になると、非反転出力端子QからアンドゲートAND3への出力信号が“H”に遷移し、反転出力端子QBからアンドゲートAND4への出力信号が“L”に遷移する。

【0024】したがって、光/電気変換器21の出力信号2が“L”になってもDフリップフロップDFF2の出力信号はすぐには遷移せず、光/電気変換器21の出力信号2が“L”になってからTrsdだけ遅延してDフリップフロップDFF2の非反転出力端子Qからの出力信号が“L”に遷移し、DフリップフロップDFF2の反転出力端子QBからの出力信号が“H”に遷移する。フリップフロップDFF2の非反転出力端子Qからの出力信号は信号幅検出回路22の出力信号10として出力される。

【0025】このように本実施形態例は、請求項1記載の発明の実施形態例であって、SCSIバスと中継伝送路との間で信号伝送を制御するSCSIバス中継装置において、中継伝送路から受信したRST信号の信号幅を検出する信号幅検出手段としての信号幅検出回路22と、この信号幅検出手段22で検出した信号幅が所定幅より短かった場合には中継伝送路から受信したRST信号が正規の信号ではないと判断して中継伝送路から受信したRST信号のSCSIバスへの伝送を遮断する信号伝送制御手段としてのアンド型のバสดライバDRとを備えたので、中継伝送路からの信号受信経路にノイズがのった場合でもそれがSCSIバス側へ出力されてデバイス間の通信が誤ってリセットされることを防止でき、ノイズ発生を防止するための設計や労力が不要になって開発期間の短縮等の効果が得られ、コストダウンを図ることができる。

【0026】また、本実施形態例は、請求項2記載の発明の実施形態例であって、請求項1記載のSCSIバス中継装置において、信号幅検出手段22で検出した信号幅が所定幅以上であった場合には中継伝送路から受信したRST信号を信号幅検出手段22による信号幅検出の間に遮断された分補償してSCSIバスへ出力させる信

号幅補償手段としての信号幅検出回路22を備えたので、中継伝送路から受信したRST信号の信号幅を信号幅検出手段により検出してもRST信号の信号幅を損なうことなくRST信号をSCSIバスへ伝送することができ、あらゆるシステムに適用することが可能になって市場における拡張性を増すことができる。

【0027】図3は請求項3記載の発明の一実施形態例の一部を示す。この実施形態例は、中継伝送路を介して遠隔のSCSIバス同士を接続するためのSCSIバス中継装置であってSCSIバスと中継伝送路との間に設けられ、SCSIバスと中継伝送路との間で信号伝送を制御する。ここに、中継伝送路は例えば全二重方式の並列光ファイバ（光バス）が用いられ、本実施形態例のSCSIバス中継装置は互いに接続するべき2つの半二重方式のSCSIバスと中継伝送路との各間に設けられる。SCSIバスにはそれぞれデバイスが接続される。本実施形態例は、中継伝送路を通して伝送される過程で生じたデータ信号と同期信号との間のスキューを補正するために、中継伝送路からのデータ信号をパルス幅歪補正回路にて同期信号で一度同期を取り直すとともに、中継伝送路からの同期信号を図3に示すようなリタイミング回路にて所定時間だけ遅らせるものである。

【0028】このリタイミング回路においては、中継伝送路からの同期信号STBは、SCSIバス上のI/O信号が肯定されている場合には転送要求信号としてのREQ信号であり、SCSIバス上のI/O信号が否定されている場合には応答信号としてのACK信号である。タイマー回路31は、中継伝送路からの同期信号STBが入力されると、周波数精度の保証された第1のクロックSCLKを用いて時間計測を開始し、第1のクロックSCLKをカウントすることによって時間を計測する。

【0029】そして、タイマー回路31は、まず、計測時間が60nsになると出力信号T6を肯定し、計測時間が150nsになると出力信号T15を肯定し、さらに計測時間がTEns（TE>150ns）になると出力信号TEを肯定する。なお、タイマー回路31は、出力信号T6、T15、TEをすべて肯定すると、初期化されるまでその状態を保持する。

【0030】コントロール回路32は、中継伝送路からの同期信号STBが入力されると、出力信号OSCENを肯定する。ここで、コントロール回路32の出力信号CTENはすでに肯定されている。発振回路33は、コントロール回路32の出力信号OSCENが入力され、この信号OSCENが肯定されると起動して発振することにより、中継伝送路からの同期信号STBの受信に同期して発振を開始する。発振回路33は、起動すると、すぐに発振して第2のクロックCLKを出力しはじめる。

【0031】カウンタ34は、コントロール回路32の出力信号CTENが肯定されて発振回路33から第2の

クロックCLKが入力されるとその第2のクロックCLKをカウントし、そのカウント値CD(n)を並列に出力する。このカウンタ34のカウント値CD(n)は発振回路33からの第2のクロックCLKによりメモリ35に書き込まれる。メモリ35は、出力回路36の出力信号STBDが入力され、この信号STBDが肯定されるまで発振回路33からの第2のクロックCLKが入力される度毎にカウンタ34のカウント値CD(n)が上書きされる。メモリ35は、出力回路36の出力信号STBDが肯定されると、その時点の値を保持する。

【0032】メモリ35に書き込まれた値は比較回路37にてカウンタ34のカウント値CD(n)と常時比較され、メモリ35に書き込まれた値とカウンタ34のカウント値CD(n)とが一致すると、その一致した期間だけ比較回路37の出力信号MTCHが肯定される。ここに、出力回路36の出力信号STBDが肯定されると、コントロール回路32が出力信号OSCE Nを否定した後に、カウンタ34のカウント値CD(n)が発振回路33からの第2のクロックCLKによりメモリ35に上書きされ、メモリ35に書き込まれた値とカウンタ34のカウント値CD(n)とが一致する。

【0033】出力回路36は、中継伝送路からの同期信号STBが入力され、この同期信号STBが最初の同期信号であるときにはタイマー回路31の出力信号T6を発振回路33からの第2のクロックCLKにより認識して上記所定時間を設定し出力信号STBDを肯定し、中継伝送路からの同期信号STBが2番目以降の同期信号であるときには比較回路37の出力信号MTCHを発振回路33からの第2のクロックCLKにより認識して出力信号STBDを肯定する。

【0034】コントロール回路32は、出力回路36の出力信号STBDが肯定されると、出力信号OSCE N、CTENをともに否定する。ただし、コントロール回路32は、出力信号OSCE N、CTENを初期化してからカウンタ34を初期化するのに十分な時間が経過した後に出力信号CTENを肯定状態に戻す。また、コントロール回路32は、出力信号OSCE Nについては次の同期信号STBが入力されるまで肯定しない。

【0035】出力回路36は、次のいずれかの場合

(1)、(2)が発生すると、出力信号STBDを否定する。

(1) タイマー回路31の出力信号T15が肯定される前に次の同期信号STBが入力された場合

(2) タイマー回路31の出力信号T15が肯定され、かつ、中継伝送路からの同期信号STBが否定された場合

また、出力回路36は、タイマー回路31の出力信号TEが肯定されると、次に入力される同期信号STBを最初の同期信号として発振回路33からの第2のクロックCLKにより認識して出力信号STBDを肯定する。メ

モリ35は、タイマー回路31の出力信号TEが肯定されると、新たにカウンタ34のカウント値CD(n)の上書きが可能となる。また、タイマー回路31は、出力信号TEにより自身をリセットする。

【0036】この結果、中継伝送路から連続して受信される同期信号STBに対して最初の同期信号についてはタイマー回路31にて周波数精度の保証された第1のクロックSCLKを用いて計測した時間(出力信号T6)を出力回路36にて発振回路33からの第2のクロックCLKで認識することにより上記所定時間を設定し、その所定時間はメモリ35に記憶することになる。また、2番目以降の同期信号についてはメモリ35に書き込まれた値とカウンタ34のカウント値CD(n)とを比較回路37で比較してその出力信号MTCHを出力回路36にて発振回路33からの第2のクロックCLKで認識して上記所定時間を設定することにより、メモリ35に記憶した時間を第2のクロックCLKを用いて再生して上記所定時間として設定することになる。したがって、タイマー回路31、コントロール回路32、発振回路33、カウンタ34、メモリ35、出力回路36、比較回路37は上記所定時間を設定する設定手段を構成する。

【0037】図4は、上記タイマー回路31の構成を示す。タイマー回路31は複数のタイマー回路311、312と、オアゲートOR4～OR6により構成される。タイマー回路311は、中継伝送路からの同期信号STBが入力されると、周波数精度の保証された第1のクロックSCLKを用いて時間計測を開始し、第1のクロックSCLKをカウントすることによって時間を計測する。

【0038】そして、タイマー回路311は、まず、計測時間が60nsになると出力信号T61を肯定し、計測時間が150nsになると出力信号T151を肯定し、さらに計測時間がTE ns (TE1>150ns)になると出力信号TE1を肯定する。なお、タイマー回路311は、出力信号T61、T151、TE1をすべて肯定すると、初期化されるまでその状態を保持する。

【0039】また、タイマー回路312は、中継伝送路からの同期信号STBが入力されると、周波数精度の保証された第1のクロックSCLK2(第1のクロックSCLKに対して位相が180度異なる同一周波数のクロック)を用いて時間計測を開始し、第1のクロックSCLK2をカウントすることによって時間を計測する。そして、タイマー回路312は、まず、計測時間が60nsになると出力信号T62を肯定し、計測時間が150nsになると出力信号T152を肯定し、さらに計測時間がTE ns (TE2>150ns)になると出力信号TE2を肯定する。なお、タイマー回路312は、出力信号T62、T152、TE2をすべて肯定すると、初期化されるまでその状態を保持する。

【0040】タイマー回路311、312の出力信号T

11

61、T62はオアゲートOR4を通して出力信号T6として出力され、タイマー回路311、312の出力信号T151、T152はオアゲートOR5を通して出力信号T15として出力され、タイマー回路311、312の出力信号TE1、TE2はオアゲートOR6を通して出力信号TEとして出力される。

【0041】したがって、タイマー回路311、312にて第1のクロックとして位相の異なる複数のクロックSCLK、SCLK2を各々用いて中継伝送路からの同期信号STBのSCSIバス側への出力開始のためのタイミング計測を独立に行ってこれらのタイミング計測結果の論理和をオアゲートOR4～OR6でとり、この論理和を出力回路36で第2のクロックCLKにより認識することによって中継伝送路からの同期信号のSCSIバス側への出力開始のタイミングを設定することになる。

【0042】このように、本実施形態例は、請求項3記載の発明であって、SCSIバスと中継伝送路との間に設けられ、中継伝送路を通して伝送される過程で生じたデータ信号と同期信号との間のスキューを補正するべくデータ信号はパルス幅歪補正回路で同期信号で一度同期を取り直して同期信号はリタイミング回路で所定時間だけ遅らせ、中継伝送路から連続して受信される同期信号に対して最初の同期信号についてはタイマー回路31で周波数精度の保証された第1のクロックSCLKを用いて計測した時間を、出力回路36にて同期信号の受信に同期して発振を開始する発振回路33からの第2のクロックで認識することにより前記所定時間を設定し、該所定時間をメモリ35で記憶し、2番目以降の同期信号については前記記憶した時間を前記第2のクロックを用いて再生して前記所定時間として設定するSCSIバス中継装置において、タイマー回路31で第1のクロックとして位相の異なる複数のクロックを各々用いて中継伝送路からの同期信号のSCSIバス側への出力開始のためのタイミング計測を独立に行ってこれらのタイミング計測結果の論理和をオアゲートOR4～OR6でとり、出力回路36でその論理和を第2のクロックにより認識することによって中継伝送路からの同期信号のSCSIバス側への出力開始のタイミングを設定する設定手段としてのタイマー回路31、コントロール回路32、発振回路33、カウンタ34、メモリ35、出力回路36、比較回路37を備えたので、最初の同期信号について前記所定時間だけ遅延させるための手段311、312を並列に設けたことにより、構成が簡単で比較的安価で消費電力の少ない素子を使って容易に前記所定時間の精度を上げることができ、コストを抑えることができる。

【0043】図5は請求項3、4、5記載の発明の一実施形態例の一部を示す。この実施形態例では、上述した請求項3記載の発明の実施形態例において、カウンタ34、メモリ35、出力回路36、比較回路37からなる

12

回路と同じ構成の同期回路38、39と、オアゲート40が設けられ、コントロール回路32は中継伝送路からの同期信号STBが“H”になると出力信号OSCENを肯定する。

【0044】発振回路33は、コントロール回路32の出力信号OSCENが肯定されることにより起動してすぐに第2のクロックCLKとして2つのクロックCLK1、CLK2の出力を開始する。このクロックCLK1、CLK2は同一周波数で位相が互いに180度異なるものである。各同期回路38、39は、それぞれ発振回路33からの第2のクロックCLK1、CLK2により上述した請求項3記載の発明の実施形態例におけるカウンタ34、メモリ35、出力回路36、比較回路37からなる回路と同様に動作して出力信号STBD1、STBD2を肯定する。

【0045】同期回路38、39の出力信号STBD1、STBD2はオアゲート40により論理和がとられて出力信号STBDとして出力される。これにより、出力信号STBDは同期回路38、39の出力信号STBD1、STBD2のうち早く肯定された方の出力信号のタイミングで肯定される。なお、コントロール回路32は同期回路38、39の出力信号STBD1、STBD2がともに肯定された時点で出力信号OSCEN、CTENをとともに否定する。本実施形態例のその他の点は上述した請求項3記載の発明の実施形態例と同様である。

【0046】したがって、同期回路38、39がそれぞれ発振回路33からの第2のクロックCLK1、CLK2により動作して出力信号STBD1、STBD2を肯定することにより、素子の温度特性やロットばらつきなどで周波数変動が比較的大きい第2のクロックCLKとして位相の異なる複数のクロックCLK1、CLK2を用いて信頼性の高い回路を実現することができ、第2のクロックCLK1、CLK2の周波数の変動やばらつきを互いに補間することができて動作環境温度範囲を拡げて信頼性を向上させることができ、さらに、使用できる素子が増えてコストダウンを図ることができる。

【0047】このように、本実施形態例は、請求項4記載の発明の実施形態例であって、SCSIバスと中継伝送路との間に設けられ、中継伝送路を通して伝送される過程で生じたデータ信号と同期信号との間のスキューを補正するべくデータ信号はパルス幅歪補正回路にて同期信号で一度同期を取り直して同期信号はリタイミング回路で所定時間だけ遅らせるSCSIバス中継装置において、中継伝送路から連続して受信される同期信号をSCSIバス側へ出力するタイミングとして、最初の同期信号についてはタイマー回路31で周波数精度の保証された第1のクロックを用いて計測して同期回路38、39にてそのタイミング計測結果を、同期信号の受信に同期して発振を開始する第2のクロックとしての位相の異なる複数のクロックCLK1、CLK2によりそれぞれ認

識し、これらの認識したタイミング計測結果のうち最も早いタイミングを設定し、このタイミングを記憶し、2番目以降の同期信号については前記記憶したタイミングを再生して設定する設定手段としてのタイマー回路31、コントロール回路32、発振回路33、同期回路38、39を備えたので、第2のクロックCLK1、CLK2の周波数の変動やばらつきを互いに補間することができ、動作環境温度範囲を広げて信頼性を向上させることができ、さらに、使用できる素子が増えてコストダウンを図ることができる。

【0048】また、本実施形態例は、請求項5記載の発明の実施形態例であって、SCSIバスと中継伝送路との間に設けられ、中継伝送路を通して伝送される過程で生じたデータ信号と同期信号との間のスキューを補正するべくデータ信号はパルス幅歪補正回路にて同期信号で一度同期を取り直して同期信号はリタイミング回路で所定時間だけ遅らせるSCSIバス中継装置において、中継伝送路から連続して受信される同期信号をSCSIバス側へ出力するタイミングとして、最初の同期信号についてはタイマー回路31で周波数精度の保証された第1のクロックとして位相の異なる複数のクロックSCLK、SCLK2を各々用いて独立に計測してこれらのタイミング計測結果の論理和をとり、同期回路38、39でその論理和を、同期信号の受信に同期して発振を開始する第2のクロックとしての位相の異なる複数のクロックCLK1、CLK2によりそれぞれ認識し、これらの認識したタイミング計測結果のうち最も早いタイミングを設定し、このタイミングを記憶し、2番目以降の同期信号については前記記憶したタイミングを再生して設定する設定手段としてのタイマー回路31、コントロール回路32、発振回路33、同期回路38、39を備えたので、請求項3記載の発明と請求項4記載の発明の機能を設けたことになって、より高精度で信頼性が高く前記所定時間を実現することができる。このため、所望の所定時間と実際の所定時間との誤差を大幅に縮小することができ、所定時間を例えば55nsに設定するとデータ転送速度が最高の10Mbps/ch.のときでも同期信号の信号幅を45nsに極力近い値にすることができる。すなわち、可能な限り大きい信号幅の同期信号を安定に出力することができ、伝送系全体に要求されるパルス応答速度を軽減することができる。これによって、伝送系全体の設計が容易になり、コストダウンに大きく寄与できる。

【0049】

【発明の効果】以上のように請求項1記載の発明によれば、SCSIバスと中継伝送路との間で信号伝送を制御するSCSIバス中継装置において、前記中継伝送路から受信したRST信号の信号幅を検出する信号幅検出手段と、この信号幅検出手段で検出した信号幅が所定幅より短かった場合には前記中継伝送路から受信したRST

信号が正規の信号ではないと判断して前記中継伝送路から受信したRST信号の前記SCSIバスへの伝送を遮断する信号伝送制御手段とを備えたので、中継伝送路からの信号受信経路にノイズがのった場合でもそれがSCSIバス側へ出力されてデバイス間の通信が誤ってリセットされることを防止でき、ノイズ発生を防止するための設計や労力が不要になって開発期間の短縮等の効果が得られ、コストダウンを図ることができる。

【0050】請求項2記載の発明によれば、請求項1記載のSCSIバス中継装置において、前記信号幅検出手段で検出した信号幅が前記所定幅以上であった場合には前記中継伝送路から受信したRST信号を前記信号幅検出手段による信号幅検出の間に遮断された分補償して前記SCSIバスへ出力させる信号幅補償手段を備えたので、中継伝送路から受信したRST信号の信号幅を信号幅検出手段により検出してもRST信号の信号幅を損なうことなくRST信号をSCSIバスへ伝送することができ、あらゆるシステムに適用することが可能になって市場における拡張性を増すことができる。

【0051】請求項3記載の発明によれば、SCSIバスと中継伝送路との間に設けられ、前記中継伝送路を通して伝送される過程で生じたデータ信号と同期信号との間のスキューを補正するべくデータ信号は同期信号で一度同期を取り直して同期信号は所定時間だけ遅らせ、前記中継伝送路から連続して受信される同期信号に対して最初の同期信号については周波数精度の保証された第1のクロックを用いて計測した時間を、同期信号の受信に同期して発振を開始する第2のクロックで認識することにより前記所定時間を設定し、該所定時間を記憶し、2番目以降の同期信号については前記記憶した時間を前記第2のクロックを用いて再生して前記所定時間として設定するSCSIバス中継装置において、前記第1のクロックとして位相の異なる複数のクロックを各々用いて前記中継伝送路からの同期信号の前記SCSIバス側への出力開始のためのタイミング計測を独立に行ってこれらのタイミング計測結果の論理和をとり、この論理和を前記第2のクロックにより認識することによって前記中継伝送路からの同期信号の前記SCSIバス側への出力開始のタイミングを設定する設定手段を備えたので、最初の同期信号について前記所定時間だけ遅延させるための手段を並列に設けたことにより、構成が簡単で比較的安価で消費電力の少ない素子を使って容易に前記所定時間の精度を上げることができ、コストを抑えることができる。

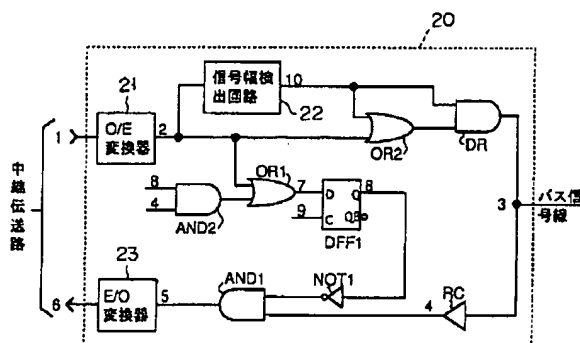
【0052】請求項4記載の発明によれば、SCSIバスと中継伝送路との間に設けられ、前記中継伝送路を通して伝送される過程で生じたデータ信号と同期信号との間のスキューを補正するべくデータ信号は同期信号で一度同期を取り直して同期信号は所定時間だけ遅らせるSCSIバス中継装置において、前記中継伝送路から連続

15

して受信される同期信号を前記SCSIバス側へ出力するタイミングとして、最初の同期信号については周波数精度の保証された第1のクロックを用いて計測してこのタイミング計測結果を、同期信号の受信に同期して発振を開始する第2のクロックとしての位相の異なる複数のクロックによりそれぞれ認識し、これらの認識したタイミング計測結果のうち最も早いタイミングを設定し、このタイミングを記憶し、2番目以降の同期信号については前記記憶したタイミングを再生して設定する設定手段を備えたので、第2のクロックの周波数の変動やばらつきを互いに補間することができて動作環境温度範囲を拡げて信頼性を向上させることができ、さらに、使用できる素子が増えてコストダウンを図ることができる。

【0053】請求項5記載の発明によれば、SCSIバスと中継伝送路との間に設けられ、前記中継伝送路を通して伝送される過程で生じたデータ信号と同期信号との間のスキューを補正するべくデータ信号は同期信号で一度同期を取り直して同期信号は所定時間だけ遅らせるSCSIバス中継装置において、前記中継伝送路から連続して受信される同期信号を前記SCSIバス側へ出力するタイミングとして、最初の同期信号については周波数精度の保証された第1のクロックとして位相の異なる複数のクロックを各々用いて独立に計測してこれらのタイミング計測結果の論理和をとり、この論理和を、同期信号の受信に同期して発振を開始する第2のクロックとしての位相の異なる複数のクロックによりそれぞれ認識し、これらの認識したタイミング計測結果のうち最も早いタイミングを設定し、このタイミングを記憶し、2番目以降の同期信号については前記記憶したタイミングを再生して設定する設定手段を備えたので、より高精度で

【図1】



16

信頼性が高く前記所定時間を実現することができ、所望の所定時間と実際の所定時間との誤差を大幅に縮小することができ、可能な限り大きい信号幅の同期信号を安定に出力することができ、伝送系全体に要求されるパルス応答速度を軽減することができる。これによって、伝送系全体の設計が容易になり、コストダウンに大きく寄与できる。

【図面の簡単な説明】

【図1】請求項1、2記載の発明の一実施形態例の制御回路を示すブロック図である。

【図2】同実施形態例における信号幅検出回路の構成を示す図である。

【図3】請求項3記載の発明の一実施形態例の一部を示すブロック図である。

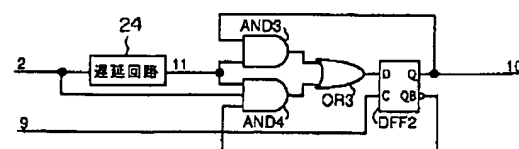
【図4】同実施形態例におけるタイマー回路の構成を示すブロック図である。

【図5】請求項3、4、5記載の発明の一実施形態例の一部を示すブロック図である。

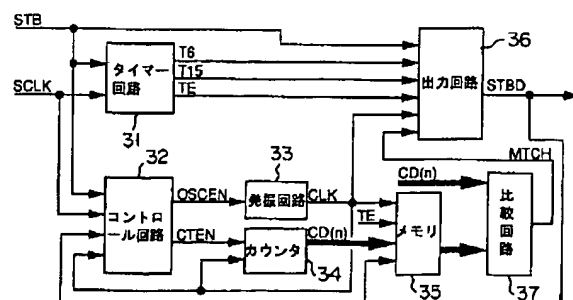
【符号の説明】

22 信号幅検出回路
DR バスドライバ
OR2、OR4～OR6、40 オアゲート
31、311、312 タイマー回路
32 コントロール回路
33 発振回路
34 カウンタ
35 メモリ
36 出力回路
37 比較回路
38、39 同期回路

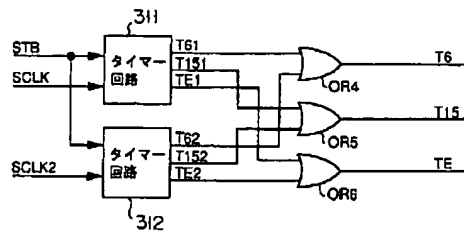
【図2】



【図3】



【図4】



【図5】

